

平成16年11月25日

報道機関 各位

情報化推進部情報企画課長  
河野 登

## 次世代トランジスタモデル HiSIM の高 精度 自動合わせ込み技術を開発

— 遺伝的アルゴリズムの応用により、半導体製  
造プロセスの開発コスト削減に貢献 —

このことについて、別紙のとおりお知らせいたします。

なお、本件は広島大学と独立行政法人産業技術総合研究所(以下「産総研」という。)が同時発表するものですが、産総研では本日「筑波研究学園都市記者会」を対象に、記者会見を行うとともに、「経済産業記者会」及び「経済産業省ペンクラブ」に対しても、別紙資料を配付しておりますので、念のため申し添えます。

また、広島大学では、HiSIMの世界標準化推進に向け、全学及び大学院先端物質科学研究科レベルで、サポート(物的・人的)を行っているところですが、三浦道子教授のHiSIM研究の詳細等につきましては、広島大学ウェブサイト「特色ある研究紹介」に掲載しておりますので、次のURLをご参照頂くとともに、詳細は広島大学に照会下さい。

<http://www.hiroshima-u.ac.jp/gakuiutsu/kenkyu/hisim/index.html>

### 【お問い合わせ先】

広島大学大学院先端物質科学研究科 教授  
三浦道子  
TEL (082)424-7659 FAX (082)422-7638  
E-mail mmm@hiroshima-u.ac.jp

[発信枚数; A4版 13枚(本票含む)]

○[別紙資料全文](#)

料

## 次世代トランジスタモデルHiSIMの高精度自動合わせ込み技術を開発 ——遺伝的アルゴリズムの応用により、半導体製造プロセスの開発コスト削減に貢献——

平成16年

11月25日

合研究所

広島大学

独立行政法人産業技術総

国立大学法人

### ■ ポイント ■

- ・半導体設計に不可欠な、次世代トランジスタモデル（HiSIM）の高精度合わせ込み技術を開発し、産総研、広島大が、半導体MIRAIプロジェクトにおいて開発に成功
- ・従来、熟練者でも1週間かかることもあった合わせ込み作業が、遺伝的アルゴリズムの採用で数時間程度に短縮
- ・最先端半導体プロセスで製造された極微細トランジスタの性能予測、シミュレーションが容易となり、半導体プロセス開発コストの削減に貢献
- ・産総研認定ベンチャー企業である（株）進化システム総合研究所を通じて事業化の予定

### ■ 概要 ■

独立行政法人 産業技術総合研究所【理事長吉川 弘之】（以下「産総研」という）次世代半導体研究センター【センター長 廣瀬 全孝】の 村川 正宏 研究員らは、半導体MIRAIプロジェクトにおいて、国立大学法人広島大学【学長 牟田 泰三】（以下「広島大」という）大学院先端物質科学研究科の 三浦 道子 教授と共同で、最先端半導体製造プロセスの開発で回路シミュレーションに用いる、次世代トランジスタモデルHiSIM（Hiroshima-university STARC IGFET Model）の、遺伝的アルゴリズムを応用した高精度自動合わせ込み技術の開発に成功した。

トランジスタモデルとは、回路シミュレーションにおいて、トランジスタの回路特性の予測に用いるモデルであり、LSI開発において最も重要で基本となる技術である。メモリーやSoC（System on a Chip）の設計開発用のライブラリやアナログ回路は全てこのトランジスタモデルを用いて設計されている。半導体デバイスは、現在、90nm（1ナノメートル:10億分の1メートル）プロセス時代を迎え、トランジスタモデルにおいても極微細トランジスタの動作記述が極めて複雑になり、従来のトランジスタモデルではモデルパラメータ数が約400個にも達している。このため実際のトランジスタの電気特性をモデルパラメータで合わせ込む作業に多大な時間が必要となり、設計技術者から新しいトランジスタモデルの出現が強く望まれていた。

広島大および株式会社半導体理工学研究センター【代表取締役社長下東 勝博】（以下「STARC」という）が現在共同で開発を行っているトランジスタモデルHiSIMは、現行のスタンダードであるBSIM3とは異なって、表面ポテンシャルに基づいたトランジスタモデルである。HiSIMの特徴は、モデルパラメータの数が少ないこと（BSIM3のおよそ1/3）、SOI（Silicon On Insulator）など構造が複雑なトランジスタのモデル化も柔軟に対応できること、高周波領域でのシミュレーションが容易であること、などであり次世代のトランジスタモデルとして期待されている。

しかしながら、HiSIMによるシミュレーション結果が正確であるためには、複数のモデルパラメータを、あ

らかじめ計測したトランジスタの電気特性と一致するように調整する必要がある。この工程は「合わせ込み」と呼ばれ、合わせ込みが十分にできていないと計算精度が低下し、回路シミュレーションで正確な予測をすることができない。HiSIMはモデルパラメータの数が70個程度と、BSIM3と比較してかなり少ないが、原理的にすべてのモデルパラメータを一括して合わせ込むことが必要であり、従来のBSIM3における合わせ込みのノウハウが使えないことから、合わせ込み工程の効率化がHiSIM普及の鍵を握っていた。

本研究開発では、人工知能の遺伝的アルゴリズムを応用することで、HiSIMの合わせ込み工程を、おおよそ数時間程度で自動化することに成功した。最先端製造プロセス（90nmルール）で試作したトランジスタの実測値（STARC提供）によりその有効性を検証した結果、本技術により合わせ込んだHiSIMのシミュレーション結果と実測値との誤差は平均で2.5%以内で一致した。これにより、極微細トランジスタの性能予測、回路シミュレーションが短時間で可能となり、HiSIMの普及が加速し、最先端半導体製造プロセスの開発コスト削減に貢献できると期待される。

今後は、産総研認定ベンチャー企業である株式会社進化システム総合研究所【代表取締役社長吉井 健】

（以下「ERI」という）を通じ、実用化を進める予定である。なお本研究開発の技術的な詳細は、2005年1月18～21日の間、上海で開催される、Asia and South Pacific Design Automation Conference 2005(ASP-DAC 05)で発表予定である。

説明】参照 \_\_\_\_\_は別紙【用語の

## ■ 研究の背景 ■

### ○最先端の半導体製造プロセス開発の現状

最先端の半導体製造プロセスは年々微細化し、プロセス世代が進むごとに開発に長い期間と大きな投資が必要となっており、プロセス世代ごとに増大する開発コストを低減し、開発期間を短縮することは、半導体メーカーの解決すべき課題の1つとなっている。その解決策のひとつとして、半導体製造プロセス開発工程の初期段階で、現在ではTCADによるシミュレーション技術が駆使されている。また開発工程終盤では、トランジスタを設計、試作し(TEG)、そのTEGの性能評価を行い、試作を繰り返すことで目標のデバイス性能を獲得するという手法がとられている【図1(デバイス製造)参照】。デバイスの電気特性はトランジスタモデルで表現され、このトランジスタモデルを使用して、回路シミュレーションを行いその製造プロセス専用のライブラリ設計などが行われる。これらのシミュレーション技術により、ロット試作等に要する費用や工数を削減し、半導体製造プロセスの開発コスト低減を図ることが行われている。

### ○トランジスタモデルとは

トランジスタモデルとは、回路シミュレーションを用いて回路特性を予測する際に用いられるモデルであり、トランジスタ【図2参照】がどのような電気特性を示すかを、近似式で記述している。例えば、ドレイン電流とドレイン電圧の関係や、ドレイン電流とゲート電圧の関係などが、数式で表現される。集積回路は、このトランジスタが多数組み合わさって構成されており、集積回路を設計する際には、集積回路の構成要素となるライブラリやアナログ回路などがトランジスタモデルを使用して設計されている【図1(回路設計)参照】。またトランジスタモデルは、回路設計側からみると、デバイス製造側とのインターフェースとなっている。トランジスタモデルには複数のモデルパラメータが存在し、それ

それがトランジスタの物理的サイズ、基本特性値、物理現象の係数などを定める定数である。このモデルパラメータの数値が実際にデバイスを製造する工場などから提供され、そのパラメータ値を用いて回路設計が行われる。

#### ○従来のトランジスタモデルの問題点

しかしプロセスの極微細化に伴い、従来のトランジスタモデルでは、極微細トランジスタや複雑な構造をもつトランジスタのシミュレーション精度が不十分との指摘が多くなってきた。これは、現行のスタンダードモデルであるBSIM3では、ドリフト近似に基づいたトランジスタのモデル化を行っており、トランジスタの極微細化に伴い、それまで無視できていた物理現象の影響が大きくなり、この近似が正確でなくなるためである。その結果トランジスタ内の様々な現象を表現するためにモデル式がさらに複雑になり、BSIM3の次期バージョンであるBSIM4ではモデルパラメータの数が約400個になっている。

ここでこれらのモデルパラメータは、デバイス製造側から回路設計側に提供する必要があるが、TEGの物理的計測をすることで直接決められるモデルパラメータはごく一部であり、残りのほとんどのモデルパラメータは、計測したトランジスタの電気特性から間接的に推定しなくてはならない。この推定作業を、合わせ込み、もしくはパラメータ抽出と呼んでいる【トランジスタモデルの合わせ込み作業のイメージ参照】。従来モデルでは、モデルパラメータの数が膨大（約400個）であるために、この合わせ込み作業には熟練者でも1週間かかることもあった。この合わせ込み作業は、製造プロセスにおける工程変更、トランジスタの構造変更、製造条件の変更などのたびに必要であることから、合わせ込みに要する工数が増加し、タイムリーで高精度なシミュレーションに多大の労力がかかるという問題が生じている。これは開発コストの増大につながることから重要な問題となっている。多数のモデルパラメータを合わせ込むためにモデルパラメータ群をいくつかのグループに分割し、グループごとにモデルパラメータを合わせ込み、それらモデルパラメータを統合した後全体を再度合わせ込む、などの工夫が行われているものの、それらの理論的な分割方法は確立されておらず、熟練者が持つノウハウや職人技に頼っているところが大きいのが実状である。

#### ○次世代トランジスタモデルHiSIM

これらの問題を解決するために、広島大およびSTARCでは、次世代トランジスタモデルとしてHiSIMの共同開発を進めている。HiSIMでは、表面ポテンシャルに基づいたMOSFETのモデル化を行いトランジスタの物理原理を可能な限り忠実に解析した結果、全体としてはモデル記述がかえって簡単になり、モデルパラメータの数が70個程度にまで削減された。また、SOIなど構造が複雑なトランジスタのモデル化も柔軟に対応でき、高周波領域での特性シミュレーションが容易であるなどの特徴がある。しかしながら、HiSIMの合わせ込み工程においては、原理的にすべてのモデルパラメータを一括して合わせ込むことが必要であり、従来モデルの合わせ込みにおけるノウハウを活用することができなかった。この理由としては、HiSIMのモデルパラメータは、大別すると、表面ポテンシャルを決定するのに必要なパラメータ群と、物理量を決定するのに必要なパラメータ群に分けられ、これらふたつのパラメータ群は、相互に依存して電気特性に影響を及ぼすので、独立に合わせ込むことができないことによる。そのため、HiSIMが次世代のトランジスタモデルとして普及するためには、合わせ込み工程の自動化、高精度化がひとつの鍵であるといわれていた。

## ■ 研究の経緯 ■

産総研では、平成13年度から遺伝的アルゴリズムを用いた合わせ込み技術の基礎研究を行っており、この研究成果をもとに、平成14年度から半導体MIRAIプロジェクトと株式会社半導体先端テクノロジー【代表取締役社長 森野 明彦】（以下「Selete」という）が、共同でイオン打ち込みモデルにおける自動合わせ込み技術の研究開発を行い、144個のモデルパラメータを数分程度で自動的に合わせ込むことに成功している。この研究開発成果は、ERIがソフトウェア化し、Seleteの3次元TCADシステム「ENEXSS」に搭載され、すでに実用に供されている。

一方、HiSIMの研究開発は広島大とSTARCにより、平成10年にプロジェクトが開始され、平成12年にHiSIM : Hiroshima-university STARC IGFET Modelと正式に命名された。平成14年1月には、Webによる一般公開が行われ、平成14年春からは、高周波デバイス用HiSIM2の開発を行う新たなプロジェクトが始まっている。

平成16年度より、HiSIMの高精度自動合わせ込みを目標とする、産総研と広島大の共同研究が半導体MIRAIプロジェクトの一環として開始された。STARCに最先端プロセスで試作したトランジスタ実測値の提供を受け、本技術の有効性を検証している。

## ■ 研究の内容 ■

産総研と広島大が開発したHiSIMの自動合わせ込み技術では、人手によるパラメータ群の分割統合作業を行わずに、人工知能の遺伝的アルゴリズムを応用し、多数のパラメータを一括して自動的に合わせ込む【図3参照】。遺伝的アルゴリズムには、最適解を求める探索の過程において探索が局所最適解に陥りにくいという特徴があり、多数のパラメータを効率良く最適化できる。

遺伝的アルゴリズムにおいては、HiSIMの複数のモデルパラメータをすべて連結し、01のビット列で表現する。そしてそれをあたかもひとつの染色体のようにみなす【図4(手順1)参照】。その染色体を複数個ランダムに用意して、その染色体が示すモデルパラメータ値を用いて実際にHiSIMによりトランジスタ特性をシミュレーションする。シミュレーション結果の特性値と実測値とを比較して、誤差が小さい染色体ほど適応度が大きくなるように定める【図4(手順2)参照】。そして、比較的適応度が高かった染色体をかけあわせ（交叉、突然変異）、新たな染色体を作成し適応度を求める。つぎに、最もパワー値の低い染色体が淘汰され、新たな染色体が探索点に加わる【図4(手順3)参照】。この一連の適応度評価、かけあわせ、淘汰を「世代」とよび、世代を繰り返すことにより徐々に適応度の高い染色体が（つまり実測値との誤差が小さくなるモデルパラメータ値が一括して）発見される。

実験では、HiSIMの主要なモデルパラメータ32個を、トランジスタの電流特性値群に一致するように合わせ込みを行った。この電流特性値は、90nmルールで試作したトランジスタにおける実測値（トランジスタの寸法が異なるものを8種類：チャンネル長が100nm~10 $\mu$ m（1マイクロメートル：100万分の1メートル）、チャンネル幅は2 $\mu$ m）を、STARCより提供を受けたものである。この実測値と、HiSIMのシミュレーション値との誤差が0の状態が理想的であり、なるべく誤差が小さくなるようにパラメータ値を調整する。実験の結果、実測値とHiSIMによるシミュレーション値を比較すると、チャンネル長が100nmのトランジスタのドレイン電流?ドレイン電圧特性【図5参照】、チャンネル長が100nmのトランジスタのドレイン電流?ゲート電圧特性【図6参照】とも、非常によくパラメータが合わせ込まれていることがわかる。チャンネル長100nmを含む8

種類すべてのトランジスタサイズにおいて、電流特性はRMS誤差2.5%以下で一致した【表1参照】。これにより、各種のトランジスタサイズのMOSFETを使用して設計する複雑なシステムLSIに対しても、正確な回路シミュレーションが可能となる。合わせ込みに要した時間は、1台のPCを使用しておよそ23時間程度、8台のPCを使用したPCクラスタではおよそ3時間程度であったことから、従来熟練者でも数日から1週間程度かかっていた合わせ込み工数を、大幅に短縮、自動化することができる。

#### ■ 今後の予定 ■

今後は、より多くの実測データでの合わせ込み実験を重ね、HiSIMの自動合わせ込み技術の信頼性を検証するとともに、産総研認定ベンチャー企業であるERIを通じて事業化を進める予定である。さらに、高周波領域での高精度の合わせ込み実験を行い、HiSIMの自動合わせ込み技術のさらなる有効性を検証する予定である。また次世代トランジスタモデルに関しては、標準化を推進する民間組織CMC (Compact Model Council) において、現在標準化活動が行われている。HiSIMは、アジアからの唯一の標準モデル候補として現在検討されており、本研究開発成果がHiSIMの標準化を推進することが期待される。

#### ■ 本件問い合わせ先 ■

独立行政法人 産業技術総合研究所  
次世代半導体研究センター  
研究員

村川 正宏

〒305-8568 茨城県つくば市梅園1-1-1 中央第2  
TEL: 029-861-5377 FAX: 029-861-5871  
E-mail: m.murakawa@aist.go.jp

研究チーム長

樋口 哲也

TEL: 029-861-5868 FAX: 029-861-5871  
E-mail: t-higuchi@aist.go.jp

国立大学法人 広島大学  
大学院 先端物質科学研究科  
教授

三浦 道子

〒739-8530 広島県東広島市鏡山1-3-1  
TEL: 082-424-7659 FAX: 082-422-7638  
E-mail: mmm@hiroshima-u.ac.jp

#### 【プレス発表／取材に関する窓口】

独立行政法人 産業技術総合研究所 広報部  
広報業務室 大竹 正俊 〒305-8568 茨城県つくば市梅園1-

1-1 中央第2

つくば本部・情報技術共同研究棟8F  
TEL: 029-862-6216 FAX: 029-862-6212 E-mail:

presec@m.aist.go.jp

国立大学法人 広島大学 情報化推進部  
情報企画グループ広報担当 村上 尚  
〒739-8511 広島県東広島市鏡山1-3-2 広島大学本部3F  
TEL: 082-424-6017 FAX: 082-424-6040 E-

mail: koho@office.hiroshima-u.ac.jp

#### 用語説明

##### ◆半導体MIRAIプロジェクト

独立行政法人 新エネルギー・産業技術総合開発機構（NEDO技術開発機構）が、「高度情報通信機器・デバイス基盤プログラム」の一環として、我国半導体産業の競争力強化と持続的発展に必要な「次世代半導体材料・プロセス基盤(MIRAI)プロジェクト」を推進するために委託実施する、2001年度～2007年度の7年間プロジェクト。（2003年度までの名称：次世代半導体デバイスプロセス等基盤技術プロ

グラム、  
次世代半導体材料・プロセス基盤技術開発プロジェクト)  
産総研次世代半導体研究センター (Advanced Semiconductor Research Center: ASRC) と技術  
研究組  
合超先端電子技術開発機構 (Association of Super-Advanced Electronics Technologies:  
ASET) が受  
託し、産学官連携で研究開発を実施している。参加している企業は、国内・海外をあわせて25  
社、大学  
からも17の研究室が参画している。  
<http://www.miraipj.jp/>

#### ◆トランジスタモデル

トランジスタの電気特性を近似式 (数式) で記述したもの。集積回路の特性を限られた時間で  
高精度に予測す  
るために必須のモデル。回路シミュレーションにおいては、膨大な数のトランジスタを扱う必要  
があるため、トラン  
ジスタモデルには、二つの相反する要求：高精度かつ短い計算時間が課せられている。

#### ◆HiSIM

Hiroshima-university STARC IGFET Modelの略。広島大学とSTARCが共同開発したトランジスタ  
モデ  
ル。多くの市販設計ツールに搭載されている。  
<http://www.starc.or.jp/kaihatu/pdgr/hisim/index.html>

#### ◆遺伝的アルゴリズム

非常に頑健で、かつ効率的な探索アルゴリズム。広大な探索空間で最適解の探索を行う場合に  
は、問  
題に対する事前知識がないと、なかなか効率的な探索が行えないが、遺伝的アルゴリズムを用い  
ること  
により、事前知識なしに効率良く最適状態を探し出すことが出来る。ポイントは、探索にさきだ  
って解  
の候補を2進ビット列の形で表現し、複数候補を用意する。これら候補を遺伝子とみなし、淘汰、  
交叉、  
突然変異といったアルゴリズムを繰り返すうちに、次第により良い解が求まっていく。方程式な  
どを用  
いて解析的に解を求めることが困難な問題に対して特に有効な探索手法である。

#### ◆ライブラリ

LSI設計で共通使用される基本論理回路の設計データを集積したもの。プロセス世代ごとに一揃  
え作成  
される。

#### ◆BSIM3

Berkeley Short-channel IGFET Model Version3の略。University of California, Berkeley校  
が中  
心に開発したトランジスタモデル。現在のデファクトスタンダードで、多くの市販設計ツールに  
搭載さ  
れている。  
<http://www-device.eecs.berkeley.edu/~bsim3/>

#### ◆表面ポテンシャル

外から電圧をかけるとトランジスタ内部に電位、つまりポテンシャルの傾きが生じる。  
MOSFETでは、特にトランジスタの表面に生じた電位分布が特性を決定するので、このポテンシャルを特  
に表面ポテンシャルと呼ぶ。

#### ◆SOI (Silicon On Insulator)

SOI とは、シリコンウエハ内に絶縁体の層を埋め込んだ構造にすることにより、無駄な電流を  
抑制し、  
従来よりも高速な回路動作を可能にした集積回路の製造技術のこと。SOI基板は既に市販されてい  
る。こ  
の基板上にMOSFETを形成すると、より高速・低消費電力化できるため、近年、この基板を使った  
LSI製  
品化の動きが進んでいる。

## ◆高周波領域

信号は様々の周波数をもつ波にのせて送信される。無線通信ではこれまではkHzオーダーの周波数領域が用いられたが、更に遠く早く多く送信するため更なる高周波領域への移行が進められている。現在用いられている携帯電話では数GHz領域であるが、ユビキタス時代のトランジスタでは100GHz領域の動作を必要としている。

## ◆90nmルール

プロセスルールとは、半導体内部の最小回路幅のこと。90nmルールとは、その回路幅が90ナノメートルであることを意味し、現在での量産可能な最微細テクノロジーである。一般には、より細かい製造プロセスに移行することで、クロック速度の向上、発熱の低下、消費電力の削減、ダイサイズの縮小などが見込める。

## ◆ASP-DAC 2005 (Asia South Pacific Design Automation Conference 2005)

LSIの設計自動化に関する国際学会で、アメリカで開催されるDAC、ヨーロッパで開催されるDATEと姉妹学会として連携されており、アジア地区で開催される。開催地は日本で2回、日本以外で1回と、3年サイクルで開催されている。来年は中国の上海市において開催される。  
<http://www.aspdac2005.com/>

## ◆プロセス世代 (技術世代)

ITRS (半導体国際技術ロードマップ: International Technology Roadmap for Semiconductors、国内から電子情報技術産業協会も参画) で半導体の微細化を表現する数値であり、DRAM (ダイナミック・ランダム・アクセス・メモリー) のハーフピッチの寸法を用いて示される。テクノロジーノードとも呼ばれる。現在は90ナノ技術世代の製造技術開発がデバイスメーカー各社で行われている。半導体MIRAIプロジェクトでは、45ナノ技術世代の原理実証・基盤技術開発を推進している。

## ◆TCAD (Technology Computer-Aided Design)

半導体プロセスデバイスのコンピュータシミュレーション技術。「ティー・キャド」と発音する。電子デバイスやその製造プロセス、システムをコンピュータ上で開発、モデリング、最適化する手法のことで、主に装置シミュレータ、プロセスシミュレータ、デバイスシミュレータからなる。ITRS発行の半導体技術ロードマップ2002で、TCAD技術の効果が数値としてあげられている(コスト削減効果25-40%)。問題の性質上検証は困難ではあるが、その数値は世界的なコンセンサスとなっている。

## ◆TEG (Test Elementary Group)

トランジスタ構造や回路方式の検証、性能の把握などを目的に試作する要素回路。

## ◆集積回路

トランジスタ、抵抗、コンデンサ、ダイオードなどの素子を集めて基板の上に装着し、各種の機能を持たせた電子回路。1959年に考案され、現在では様々な機器に組み込まれている。1チップに収められた素子数が数千~数万程度のものをLSI、10万を超えるものをVLSI、100万を超えるものをULSIと呼ぶ場合がある。

## ◆ドリフト近似

トランジスタ内を流れるキャリアの動きを解析する際に、キャリアは電場によって引っ張られる力のみによって移動するとした近似。

## ◆MOSFET (Metal Oxide Semiconductor Field Effect Transistor)

FETは、電界効果トランジスタと訳される。ゲート(G)、ドレイン(D)、ソース(S)の3端子か



らなる  
半導体素子で、G-S間電圧によって D-S間電流を制御する事が出来る。MOSFETとは、ゲートの絶縁に酸化膜を使ったFETである。 G-S電圧で大電流を制御できるため、パワートランジスタに比べ駆動回路が簡単である。電荷の運搬が自由電子によって行われるものをn型MOSFET、正孔によって行われるものをp型MOSFET、両者を組み合わせて動作速度を向上させたものをCMOS (complementary MOS) という。CMOSは集積回路中で信号処理を行う上で最も基本的な回路であり、消費電力が低い、構造が単純、などの特徴があり、現在最も多く採用されている。

#### ◆イオン打ち込みモデル

イオン打ち込みとは、不純物（原子）をイオン化させシリコンなどの基板に加速注入し、基板に導電性を持たせる工程である。この工程とそれに続くアニール工程後に、基板表面から深さ方向に不純物がどのように分布しているかが、その後の半導体特性を定める。そのため、半導体の設計時にはこの分布をいかに正確にシミュレーションできるかが重要となる。このシミュレーションには、モンテカルロシミュレーションによる精密な計算が行われる場合もあるが、計算時間がかかるために、簡略化されたデュアルピアソン（Dual-Pearson）分布とよばれる数式モデルが一般的に用いられている。

#### ◆電流特性値群

ドレイン電流 ( $I_{ds}$ ) ?ゲート電圧 ( $V_{gs}$ ) 間特性、並びに、ドレイン電流 ( $I_{ds}$ ) ?ドレイン電圧 ( $V_{ds}$ ) 間特性。これらの特性は、トランジスタの直流的な挙動を記述するDC特性である。高周波領域での合わせ込みには、これらの特性に加えてAC特性（周波数特性）やノイズ特性が評価される。これらの電流特性は、L/W依存性を有する。Lはトランジスタのチャンネル長、Wはチャンネル幅。微細化の進んだプロセスでは、トランジスタ特性がLとWに強く依存する。従来のBSIM3のパラメータ抽出法では、LとWで区切られた領域（Bin）ごとに、パラメータセットを抽出するのが一般的。HiSIMでは領域分割は行わない。

#### ◆RMS誤差

Root Mean Square Errorのこと。平均自乗根誤差ともいう。モデルにより計算したシミュレーション値と実測値との誤差（偏差）の二乗を加算平均した値の平方根をとった値。直感的には、平均的な誤差の度合い。

#### ◆PCクラスタ

PCクラスタとは、複数のPC(Personal Computer)をネットワークで接続し並列計算を可能にしたシステム。ネットワークで接続されたマシン群は、仮想的に一台のマシンとして扱うことができ、高計算処理能力を持つ。PC向けプロセッサの急速な性能向上とPCの量産効果で、従来の専用並列計算機と比較して一桁以上安いコストで同等能力のシステムを構築可能である。また、PCクラスタは汎用部品を用いていることから、コストパフォーマンスのみならず拡張性やメンテナンス性にも優れている。

#### ◆次世代モデルの標準化活動

米国の共同研究コンソーシアムSEMATECHのプロジェクトが終わる1996年に、新たにトランジスタモデルの標準化を推進する民間組織CMC (Compact Model Council) が発足した。CMCでは、世界標準モデルを選び、集中的に改良していくことによって、実用化に耐えるモデルを確保しようとしてきた。最初の

標準モデルとしてBerkeley校の開発していたBSIM3が選ばれたが、その後モデルパラメータの更なる増  
 加や、モデル自体の物理性の欠如などが指摘され続けた。2003年末から次世代の標準化モデルの  
 選定が  
 再び開始された。この候補として、BSIM (UC Berkeley), Model 11 (Philips), EKV (Swiss IT), SP2000  
 (Pennsylvania SU), HiSIMが現在検討されている。2005年夏頃までに次世代標準化モデルが決定される  
 予定となっている。  
<http://www.eigroup.org/CMC/>

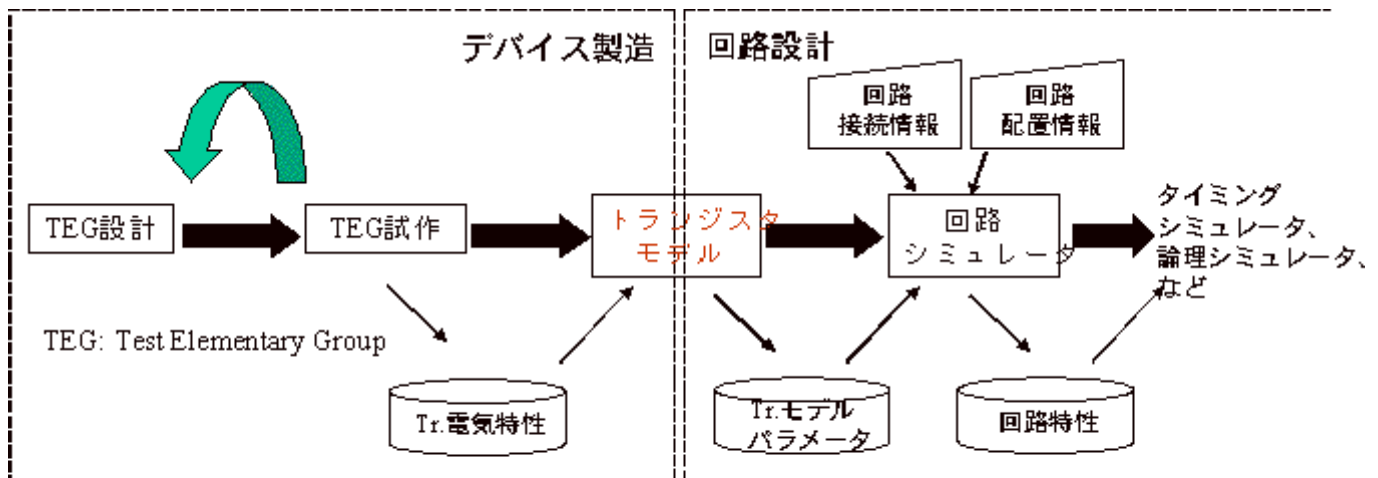
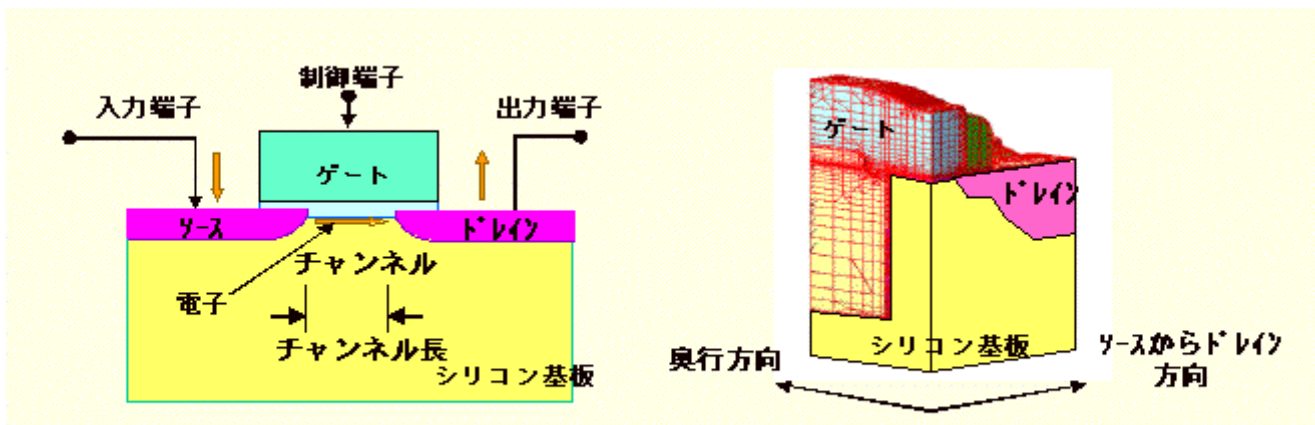


図1 トランジスタモデルの位置づけ



MOSFET：3端子（入力端子、出力端子、制御端子）からなる素子

入力端子と出力端子間の電圧：ドレイン電圧

出力端子から出力される電流：ドレイン電流

制御端子に印加される電圧：ゲート電圧

ゲート電圧の大小で、ドレイン電流を制御できる

図2 MOSFETの構造図

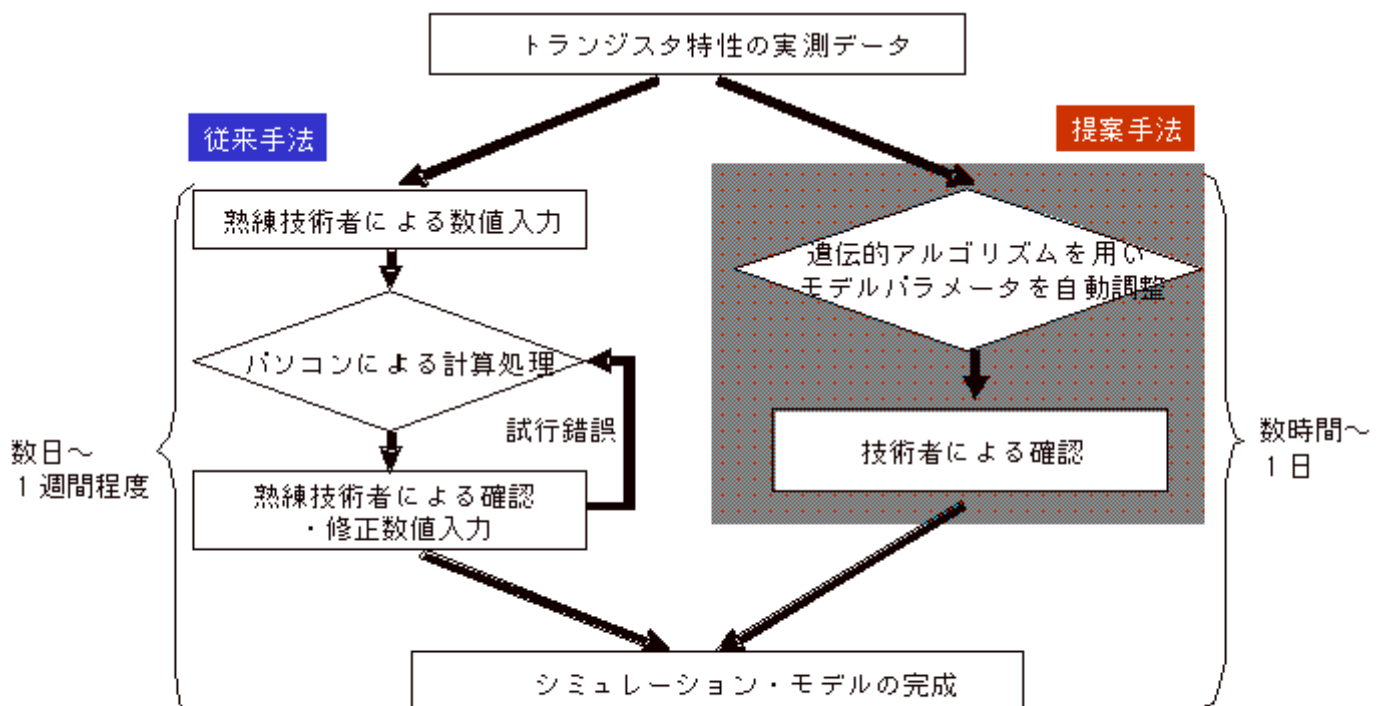


図3 従来技術と提案手法の比較

- 手順 1. 複数のモデルパラメータを一つの染色体にコーディング
- 手順 2. 染色体の良し悪し (パラメータ群がいかにか最適か) を判定する評価関数 (適応度) を定義
- 手順 3. 複数の染色体を用意し、適応度が良い染色体同士から、さらに良い染色体を、遺伝子操作 (選択、交叉、突然変異) を用いて繰り返し生成し、最適値を発見 (下図参照)

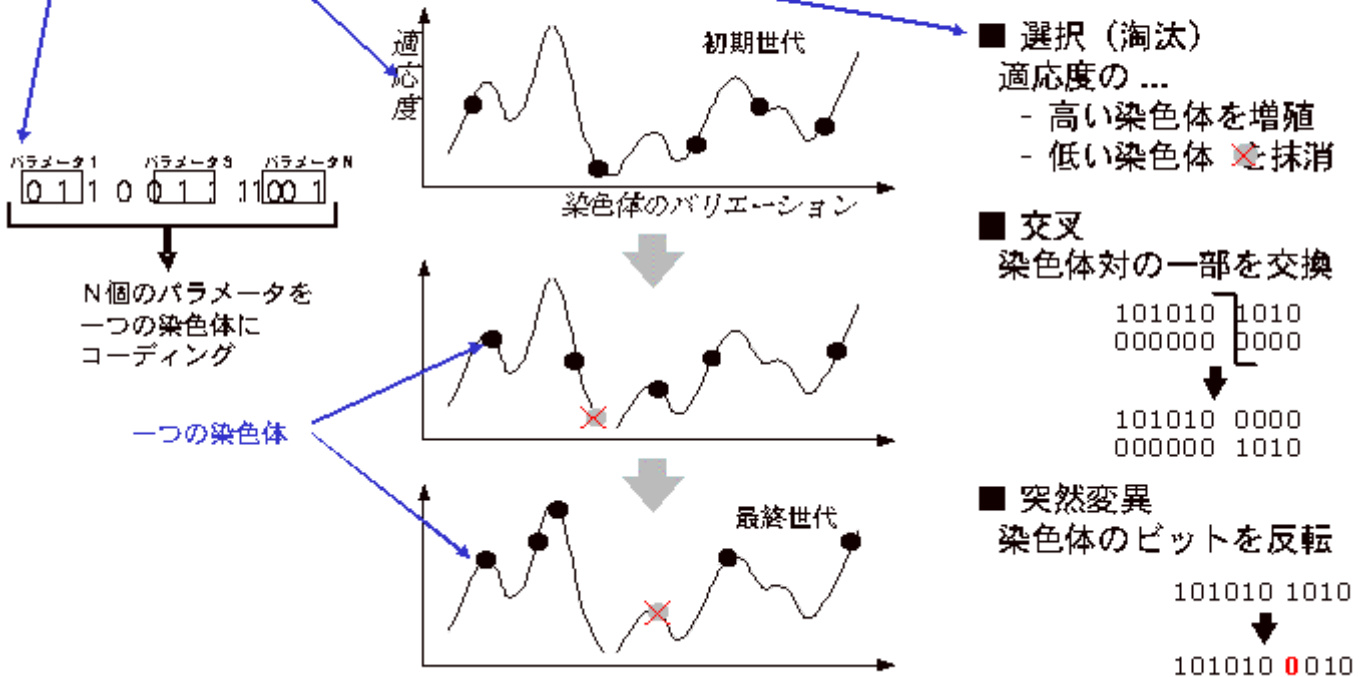


図 4 遺伝的アルゴリズムによる合わせ込み

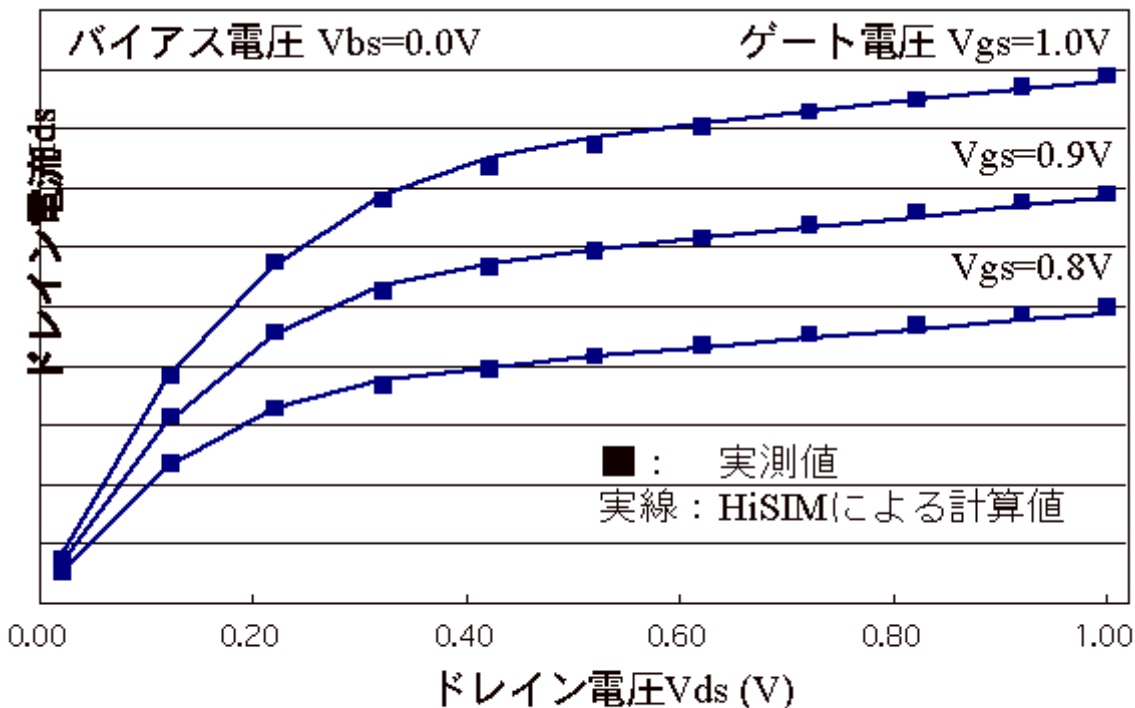


図 5  $L_g$  (チャンネル長)  $0.10\mu m$ 、 $W_g$  (チャンネル幅)  $2.0\mu m$  の MOSFET におけるドレイン電流-ドレイン電圧特性の合わせ込み結果

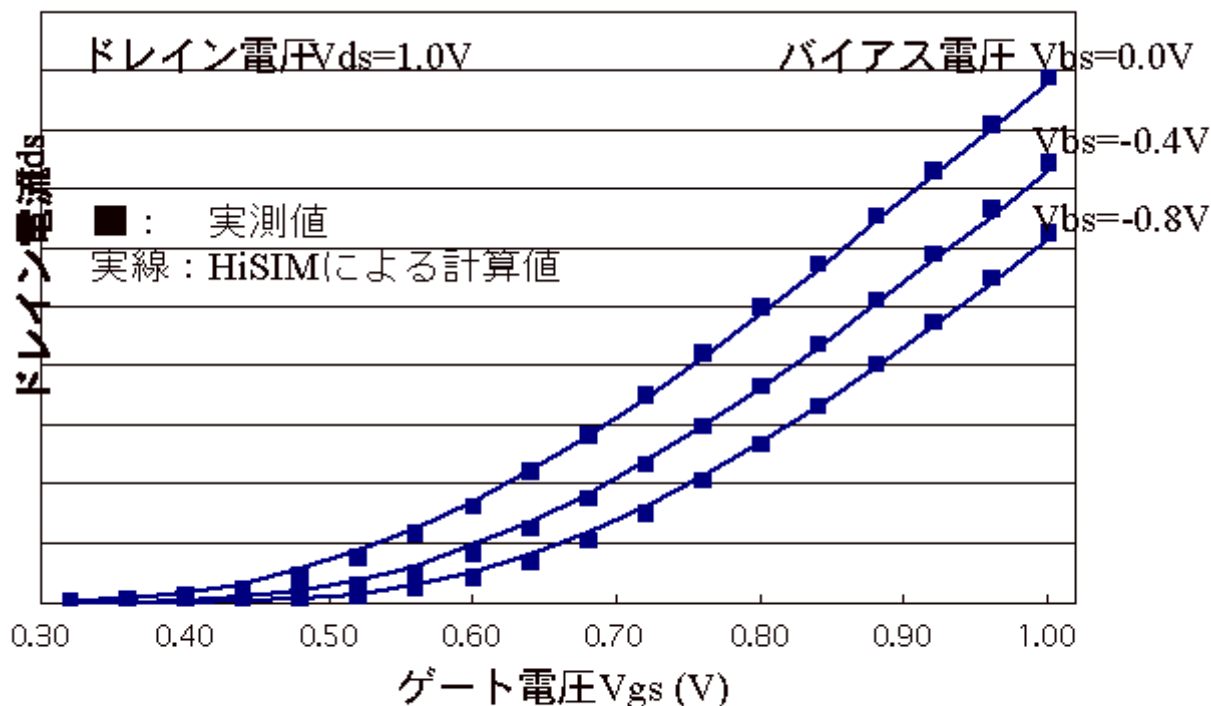


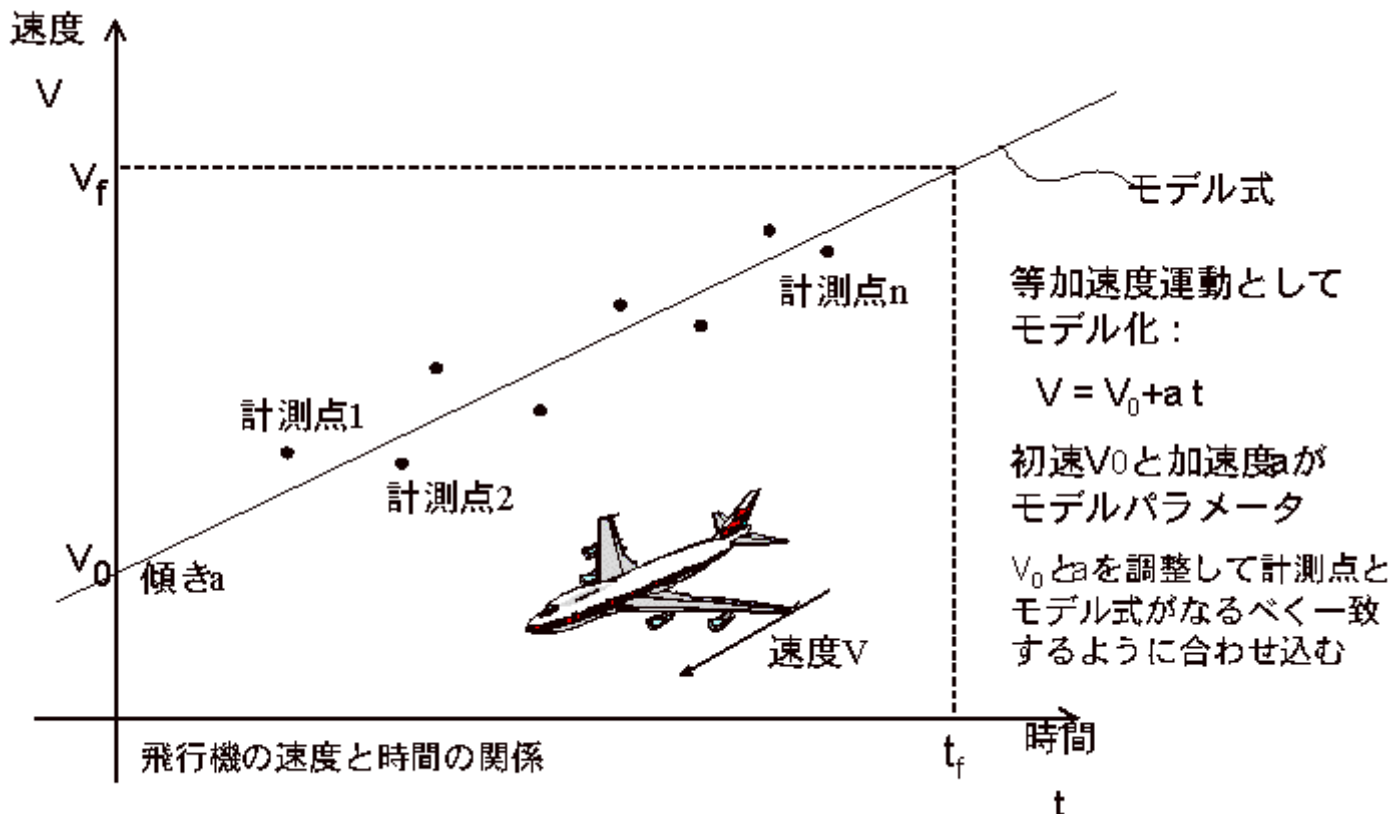
図6  $L_g$  (チャンネル長)0.10 $\mu m$ 、 $W_g$  (チャンネル幅)2.0 $\mu m$ のMOSFETにおけるドレイン電流-ゲート電圧特性の合わせ込み結果

チャンネル長( $\mu m$ )	RMS(%)
0.10	1.40
0.11	1.23
0.13	2.04
0.20	2.24
0.30	2.33
1.00	2.21
5.00	1.22
10.0	1.52

表1 各チャンネル長における合わせ込み誤差

●トランジスタモデルの合わせ込み作業のイメージ

合わせ込み作業のイメージを、図Aを例に説明する。ここでは、加速中の飛行機を速度をモデル化するという例を考える。上空を航行中の飛行機を速度を何秒おきかに計測しそれをプロットする。プロット結果から、この飛行機が等加速度で航行しているとモデル化する。このモデルは時間と速度の関係が図Aに示すような数式（直線）で表現でき、二つの定数（初速度 $V_0$ 、加速度 $a$ ）が存在する。この定数がモデルパラメータである。そこでこのモデルパラメータを調整して、モデル式（直線）と計測した速度（複数点）がなるべく一致するようにする。この調整が合わせ込み作業である。ひとたびこの合わせ込み作業が完了すれば、未来の時刻（ $t=t_f$ ）における速度（ $V=V_f$ ）を予測することが可能になる。この例とトランジスタモデルの合わせ込みのアナロジーは、飛行機速度 $\leftrightarrow$ トランジスタの電気特性、速度の計測 $\leftrightarrow$ TEG計測、モデル式（直線） $\leftrightarrow$ BSIMやHiSIM、二つの定数 $\leftrightarrow$ 多数のモデルパラメータ、未来の速度予測 $\leftrightarrow$ 回路シミュレーション、となる。



図A モデル合わせ込みのイメージ 飛行機の速度のモデル化を例に